

⑯ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑯ Offenlegungsschrift  
⑯ DE 195 15 417 A1

⑯ Int. Cl. 6:  
H 03 K 17/00  
H 03 K 17/887

DE 195 15 417 A1

⑯ Aktenzeichen: 195 15 417.7  
⑯ Anmeldetag: 26. 4. 95  
⑯ Offenlegungstag: 31. 10. 96

⑯ Anmelder:  
Siemens AG, 80333 München, DE

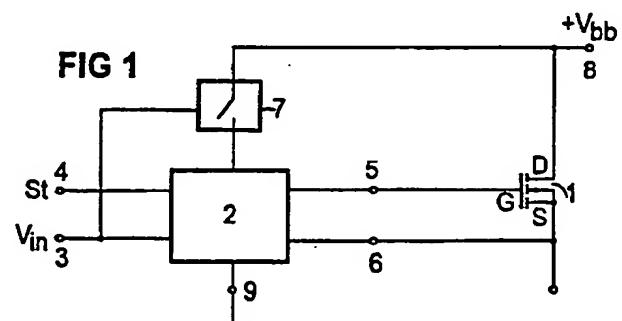
⑯ Erfinder:  
Tihanyi, Jenö, Dr., 85551 Kirchheim, DE

⑯ Entgegenhaltungen:  
DE 37 01 916 A1  
US 52 58 863  
EP 05 72 708 A1

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Schaltungsanordnung zum Ansteuern eines Leistungs-MOSFET

⑯ Werden Leistungs-MOSFET über Steuer-IC (2) geschaltet, so fließt auch im gesperrten Zustand ein Ruhestrom durch den Steuer-IC. Der Ruhestrom kann drastisch reduziert werden, wenn der Steuer-IC bei abgeschaltetem Leistungs-MOSFET (1) über einen steuerbaren Schalter (7) geschaltet wird. Der steuerbare Schalter wird dann leitend gesteuert, wenn das Eingangssignal auf einen Pegel angestiegen ist, der unterhalb desjenigen Pegels liegt, der zum Leitendsteuern des Leistungs-MOSFET erforderlich ist.



DE 195 15 417 A1

Die folgenden Angaben sind den vom Anmelder eingereicht in Unterlagen entnommen

BUNDESDRUCKEREI 09.96 602 044/234

## Beschreibung

Die Erfindung bezieht sich auf eine Schaltungsanordnung zum Ansteuern eines Leistungs-MOSFET mittels einer Steuerschaltung, die mindestens einen Steuereingang, einen ersten Anschluß für eine Betriebsspannung und einen zweiten Anschluß für ein festes Potential hat.

Eine solche Schaltungsanordnung ist z. B. in der EP-0 572 706 beschrieben worden. Die Steuerschaltung liegt dauernd an der Betriebsspannungsquelle. Sie enthält Transistoren, durch die auch im gespererten Zustand ein Strom (Ruhestrom) fließt. Der Ruhestrom muß insbesondere bei Bordnetzen klein gehalten werden. Man könnte die Steuerschaltung nun derart auslegen, daß der Ruhestrom nur noch einige  $\mu$ A beträgt.

Wird der Leistungs-MOSFET über eine Logikschaltung angesteuert, so ergibt sich das Problem, daß durch die Verwendung von modernen CMOS-Schaltungen der Ruhestrom sich nicht wesentlich vom Betriebsstrom unterscheidet. Eine Absenkung des Ruhestroms erhöht damit die Empfindlichkeit der Steuerschaltung gegen im Betriebszustand auftretende Störimpulse.

Ziel der Erfindung ist es, eine Schaltungsanordnung der angegebenen Art derart weiterzubilden, daß der Ruhestrom stark reduziert werden kann, ohne die Empfindlichkeit der Steuerschaltung im Betriebszustand zu erhöhen.

Dieses Ziel wird dadurch erreicht, daß zwischen einem der beiden Anschlüsse und der Steuerschaltung ein steuerbarer Schalter angeschlossen ist, daß der steuerbare Schalter bei einem ersten vorgegebenen Pegel eines am Steuereingang anliegenden Steuersignals gesperrt ist, daß der steuerbare Schalter bei einem zweiten, absolut größeren Pegel des Steuersignals leitend gesteuert wird und daß der zweite Pegel kleiner ist als der zum Leitendsteuern des Leistungs-MOSFET erforderliche Pegel.

Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche. Die Erfindung wird anhand zweier Ausführungsbeispiele in Verbindung mit den Fig. 1 bis 3 näher erläutert. Es zeigen:

Fig. 1 ein Prinzipschaltbild der Erfindung,

Fig. 2 ein erstes Ausführungsbeispiel der Erfindung und

Fig. 3 ein zweites Ausführungsbeispiel.

Die Schaltungsanordnung nach Fig. 1 enthält einen Leistungs-MOSFET 1, der von einer Steuerschaltung 2 angesteuert wird. Die Steuerschaltung 2 hat mindestens einen Steuereingang 3 und z. B. einen Statusausgang 4. Sie hat außerdem zwei Ausgänge 5, 6, die mit dem Gateanschluß bzw. dem Sourceanschluß des MOSFET 1 verbunden sind. Die Steuerschaltung ist über einen steuerbaren Schalter 7 an eine Betriebsspannung angeschlossen, die an einen ersten Anschluß 8 angelegt wird. Die Steuerschaltung 2 hat einen zweiten Anschluß 9, die auf festem Potential, z. B. an Masse liegt. Die Betriebsspannung  $V_{bb}$  liegt dann bei geschlossenem Schalter 7 an der Steuerschaltung 2 an.

Der steuerbare Schalter 7 hat einen Steuereingang, der mit dem Steuereingang 3 der Steuerschaltung 2 verbunden ist. Die Ansprechschwelle des Schalters 7 ist nun so gewählt, daß er dann leitend gesteuert wird, wenn am Steuereingang 3 ein Eingangssignal anliegt, dessen Pegel kleiner ist als derjenige Pegel, der zum Leitendsteuern des Leistungs-MOSFET 1 erforderlich ist. Dieses Einschaltverhalten der Anordnung läßt sich im allgemeinen ohne weiteres dadurch erreichen, daß das Einschaltsignal eine zeitlich definiert ansteigende Vorder-

flanke hat. Dann wird z. B. beim Anstieg des Eingangssignals auf 2 Volt der steuerbare Schalter 7 leitend gesteuert und versorgt die Steuerschaltung mit Strom. Bei einem Anstieg des Eingangssignals auf z. B. 3 Volt wird dann der Leistungs-MOSFET 1 leitend gesteuert.

Der steuerbare Schalter kann, wie in Fig. 2 dargestellt, ein p-Kanal-MOSFET 10 sein, der über einen Pegelumsetzer, bestehend aus einem n-Kanal-FET 12 und einem Widerstand 11 angesteuert wird. Der FET 12 und der Widerstand 11 bilden einen Spannungsteiler, mit dessen Knoten der Gateanschluß des FET 10 verbunden. Ist das Eingangssignal am Eingang 3 Null Volt, so ist der FET 12 gesperrt und der Gateanschluß des FET 10 liegt auf dem Potential  $+V_{bb}$ . Wird der FET durch ein Eingangssignal leitend gesteuert, so steigt das Potential des FET 10 an seinem Gateanschluß gegenüber dem Sourceanschluß an und der FET 10 wird leitend gesteuert. Damit wird die Steuerschaltung 10 mit Strom versorgt. Bei weiterem Ansteigen des Eingangssignals der an den Ausgängen 5, 6 angeschlossene Leistungs-MOSFET 1 leitend gesteuert.

Die Schaltungsanordnung nach Fig. 3 unterscheidet sich von der nach Fig. 2 dadurch, daß der steuerbare Schalter zwischen der Steuerschaltung 2 und dem auf festem Potential (Masse) liegenden Anschluß 9 angeschlossen ist. Der steuerbare Schalter wird hier durch einen n-Kanal-MOSFET 15 gebildet. Sein Gateanschluß ist mit dem Steuereingang 3 verbunden. Bei Anlegen eines positiven Signals wird wieder zuerst der FET 15 leitend gesteuert und versorgt die Steuerschaltung 2 mit Strom. Bei weiterem Ansteigen des Pegels des Eingangssignals wird dann der Leistungs-MOSFET leitend gesteuert.

Die Erfindung wurde für den Fall erläutert, daß die Betriebsspannung  $V_{bb}$  positiv ist. Soll die Schaltungsanordnung für eine negative Betriebsspannung  $-V_{bb}$  ausgelegt werden, so ist entsprechend ein Leistungs-MOSFET mit p-Kanal und entsprechend MOSFET 12, 10, 15 der inversen Kanaltypen einzusetzen. Die Schaltungsanordnung ist dann mit negativen Signalen anzusteuern. Der steuerbare Schalter wird durch ein negatives Signal bei einem ersten Pegel leitend gesteuert und der Leistungs-FET bei einem zweiten negativeren, d. h. absolut größeren Pegel.

## Patentansprüche

1. Schaltungsanordnung zum Ansteuern eines Leistungs-MOSFET mittels einer Steuerschaltung, die mindestens einen Steuereingang, einen ersten Anschluß für eine Betriebsspannung und einen zweiten Anschluß für ein festes Potential hat, dadurch gekennzeichnet, daß zwischen einem der beiden Anschlüsse (8, 9) und der Steuerschaltung (2) ein steuerbarer Schalter (7) angeschlossen ist, daß der steuerbare Schalter bei einem ersten vorgegebenen Pegel eines am Steuereingang (3) anliegenden Steuersignals gesperrt ist, daß der steuerbare Schalter bei einem zweiten, absolut größeren Pegel des Steuersignals leitend gesteuert wird und daß der zweite Pegel kleiner ist als der zum Leitendsteuern des Leistungs-MOSFET (1) erforderliche Pegel.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß der steuerbare Schalter einen MOSFET (10) enthält, daß seine Source-Drainstrecke zwischen dem ersten Anschluß (8) und der Steuerschaltung (2) angeschlossen ist, daß der Ga-

teanschluß des MOSFET mit dem Ausgang eines Pegelumsetzers (11, 12) verbunden ist, dessen Eingang mit dem Steuereingang (3) verbunden ist.

3. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß der steuerbare Schalter einen MOSFET (15) enthält, daß seine Drain-Source-Strecke zwischen dem zweiten Anschluß (9) und der Steuerschaltung (2) angeschlossen ist und daß der Gateanschluß des MOSFET mit dem Steuereingang (3) verbunden ist.

5

10

Hierzu 1 Seite(n) Zeichnungen

15

20

25

30

35

40

45

50

55

60

65

FIG 1

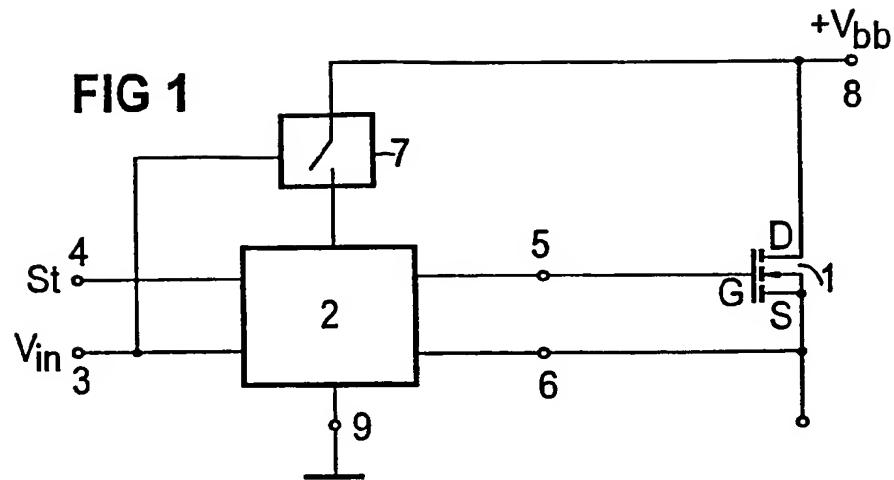


FIG 2

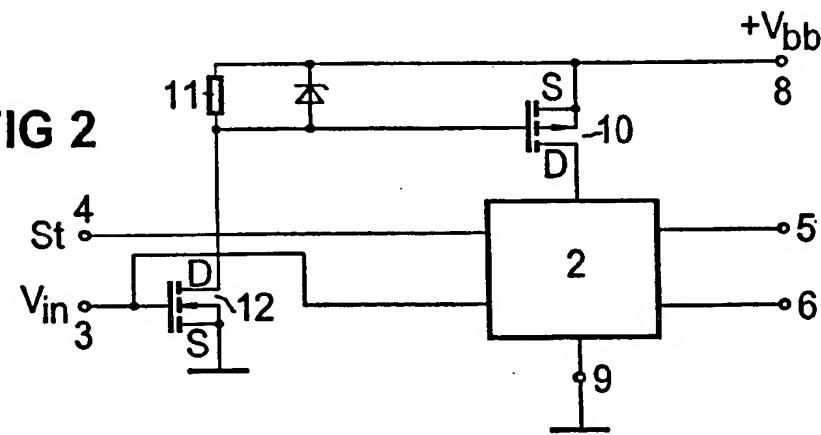


FIG 3

